

# 職務経歴書

2020年3月7日現在

氏名 安部 未由

## ■職務経歴

2001年4月～2006年12月 関越ソフトウェア株式会社		
事業内容: 特定派遣業 資本金 5000万 従業員数: 200人		正社員 として勤務
2001年4月～2004年5月 / アナログ IC のレイアウト設計・検証		
<b>【担当】</b> ・Bluetooth 用 IC、コードレス電話用 IC、PHS 用 IC レイアウト設計と検証 (Toshiba bicmos 0.4um) BIAS ブロック、ロジックブロックのレイアウト設計と検証。	UNIX Cadence Diva	<b>【担当】</b> ブロック設計 検証
2004年6月～2005年12月 / センサアナログ IC レイアウト設計・検証		
<b>【担当】</b> ジャイロセンサ IC、SSD 用電源 IC (Toshiba bicmos 0.6um) BIAS ブロック、ロジックブロック、トップレイアウト設計と検証。	UNIX Cadence Diva	<b>【担当】</b> ブロック設計 トップ設計 検証
2006年1月～2006年12月 / アナログ IC レイアウト設計/検証		
WCDMA-GSM 混在 IC(送受信用) (Toshiba bicmos 0.4um) RFブロック(LNA/QDMOD)、ロジックブロック、トップレイアウト設計と検証	UNIX Virtuoso Calibre	<b>【担当】</b> ブロック設計 トップ設計 検証
2007年1月～2016年8月現在 株式会社 CIJ ネクスト(旧 日本構研システムズ)		
事業内容: システム開発/IT サービスソリューション 資本金 : 3億5千万円 従業員数: 584人		正社員 として勤務
2007年1月～2007年10月 / アナログ IC レイアウト設計/検証		
デジタル RFIC(送受信用) (cmos 0.13um) RFブロック、トップレイアウト設計と検証	Linax Virtuoso Calibre	<b>【担当】</b> ブロック設計 トップ設計 検証
2007年11月～2008年11月 / アナログ IC レイアウト設計/検証		
フルセグ、ワンセグ受信 IC (Toshiba 90nm) RFブロック、トップレイアウト設計と検証	Linax Virtuoso Calibre	<b>【担当】</b> ブロック設計 トップ設計 検証
2008年12月～2009年7月 / アナログ IC レイアウト設計/検証		
WiMax 用 IC(送受信用) (Toshiba 65nm) RFブロック、トップレイアウト設計と検証	Linax Virtuoso Calibre	<b>【担当】</b> ブロック設計 トップ設計 検証
2009年8月～2010年4月 / ソフトウェア開発		
<b>【担当】</b> Windows7Sensor&LocationAPIを使用した9軸ワイヤレスモーションセンサーの 動作確認 とサンプルアプリケーション作成。	Windows7 Visual C# / C++	<b>【担当】</b> 解析/設計
2010年5月～2011年8月 / アナログ IC レイアウト設計/検証		
省電力用 IC(Toshiba 0.13um) RFブロック、トップレイアウト設計と検証	Linax Virtuoso Calibre	<b>【担当】</b> ブロック設計 トップ設計 検証

2011 年 9 月～2012 年 1 月 / アナログ IC レイアウト設計/検証		
RF-MEMS センサーIC (Toshiba 0.13um) ドライバチップのブロック/トップレイアウトから検証まで。	Linax Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証
20120 年 2 月～2012 年 2 月 / アナログ IC レイアウト設計/検証		
TransferJet 送受信 IC(Toshiba 65nm) ブロック、トップレイアウト設計と検証	Linax Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証
2012 年 3 月～2012 年 5 月 / アナログ IC レイアウト設計/検証		
車載通信用 IC(TSMC 0.18um) ブロック、トップレイアウト設計と検証	Linax Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証
2012 年 6 月～2012 年 12 月 / アナログ IC レイアウト設計/検証		
RF-MEMS センサーIC (Toshiba 0.13um) ドライバチップのブロック/トップレイアウトから検証まで。	Linax Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証
2013 年 1 月～2013 年 3 月 / アナログ IC レイアウト設計/検証		
モータドライバ IC(TSMC 0.35um) ブロック、トップレイアウト設計と検証	Linax Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証
2013 年 4 月～2013 年 12 月 / アナログ IC レイアウト設計/検証		
パワーアンプ IC(IBM BICMOS) フロアプラン検討、ブロック、トップレイアウト設計と検証	Linax Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証
2014 年 1 月～2014 年 5 月 / アナログ IC レイアウト設計/検証		
基地局用 IC(TowerJazz 0.18um) フロアプラン検討、ブロック、トップレイアウト設計と検証	Linax Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証
2014 年 6 月～2014 年 10 月 / アナログ IC・PCB レイアウト設計/検証		
LTE 用パワーアンプ IC(WIN Semiconductors GaAs HBT4) フロアプラン検討、トップレイアウト設計と検証	Linax Virtuoso ADS Asyura	【担当】 ブロック設計 トップ設計 検証
2014 年 11 月～2015 年 5 月 / アナログ IC・PCB レイアウト設計/検証		
車載用ミリ波レーダ IC(GLOBAL FOUNDRIES 40nm) LNA/MIX ブロック、トップレイアウト設計と検証 WLCSP 層配線、PCB デモボードのレイアウト設計	Linax Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証
2015 年 6 月～2016 年 3 月 / アナログ IC・PCB レイアウト設計/検証		
LTE 用パワーアンプ IC(WIN Semiconductors GaAs HBT4) フロアプラン検討、トップレイアウト設計と検証	Linax Virtuoso ADS Asyura	【担当】 ブロック設計 トップ設計 検証
2016 年 4 月～2018 年 11 月 / アナログ IC レイアウト設計/検証		
車載用ミリ波レーダ IC(GLOBAL FOUNDRIES 40nm) BIST ブロック、トップレイアウト設計と検証 WLCSP 層配線、PCB デモボードのレイアウト設計	Linax Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証

2018 年 12 月～2019 年 1 月 / アナログ IC レイアウト設計/検証		
デジタルカメラ用高速 IFIC (GLOBAL FOUNDRIES Fin-FET 14nm) ブロックレイアウト設計、トップレイアウト設計と検証	Linux Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証
2019 年 2 月～2019 年 4 月 / アナログ IC レイアウト設計/検証		
BicsFLASH 向け IO (TSMC 22nm) RX ブロック、トップレイアウト設計と検証	Linux Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証
2019 年 5 月～2019 年 8 月 / アナログ IC レイアウト設計/検証		
DCDC コンバータ用 IP セル BGR ブロック、IP トップレイアウト設計と検証	Linux Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証
2019 年 9 月～2019 年 9 月 / アナログ IC レイアウト設計/検証		
CIS 向けシフトレジスタ(DB HiTek180nm) ブロック設計と検証	Linux Virtuoso Calibre	【担当】 ブロック設計 検証
2019 年 10 月～2019 年 11 月 / アナログ IC レイアウト設計/検証		
STD セルレイアウト 1.5V から 3.3V 化、50 セル設計と検証	Linux Virtuoso Calibre	【担当】 STDセル設計 検証
2019 年 12 月～2019 年 12 月 / アナログ IC レイアウト設計/検証		
ニューロンチップレイアウト synapse ブロック、トップレイアウト設計と検証	Linux Virtuoso Calibre	【担当】 ブロック設計 トップ設計 検証
2020 年 1 月～2020 年 2 月 / アナログ IC レイアウト設計/検証		
CMOS イメージセンサー(TSMC 45nm) Decap ブロック、トップレイアウト設計と検証	Linux Custom Compiler Calibre	【担当】 ブロック設計 トップ設計 検証
2020 年 3 月～ / アナログ IC レイアウト設計/検証		
CMOS イメージセンサー(TSMC 22nm) XDEC ブロック、レイアウト設計と検証	Linux Virtuoso Calibre	【担当】 ブロック設計 検証

## ■活かせる経験・知識・技術

### ・レイアウト設計

Cadence Virtuoso-L/XL/GXL、Synopsys Custom Compiler、Keysight-ADS

800MHz～80GHz の高周波回路のレイアウト設計

PCB ボードのレイアウト設計

ミリ波伝送線路レイアウト設計

その他アナログ回路のレイアウト設計

ブロック:TX(BIST, PA, LPF, Driver Amp),

RX(BIST, LNA,MIX,PGA,BPF)

BIAS, BGR, LDO, DAC, Driver, I/O cell

### ・レイアウト物理検証

Calibre DRC/LVS/XRC を使用した物理検証

Asyura DRC/LVS を使用した物理検証

### ・Foundry

GLOBALFOUNDRIES(40nm, 14nmFinFET)

TSMC(180,130,65n,45,22nm)

TOSHIBA(180,130,90,65,40nm),

RENESUS(65nm)

TOWER JAZZ(180nm)

WIN(HBT4)

IBM(180nm)

Dongbu HiTek(180nm)

### ・製品実績

CIS, ミリ波レーダ, LTE, TransferJet, Bluetooth, WiMAX, ITS, Wireless LAN, GSM+W-CDMA, Motor driver, RFMEMS.

## ■自己PR

<フロアプラン検討からブロックレイアウト設計、トップレイアウト設計と物理検証まで>

携帯電話やスマートフォンなどの高周波送受信 IC、モータドライバなどの大電流を扱う IC、車載用ミリ波レーダ IC のレイアウトに携わってきました。レイアウト設計の作業範囲としては、フロアプランの検討からブロック、トップレイアウトと物理検証までの一通りを経験しており、14nmFinFET などの微細なものも経験しております。また、レイアウトの速さや、品質向上のために提案する姿勢は顧客から高評価されております。

以上